

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-195260
(43)Date of publication of application : 09.07.2003

(51)Int.Cl. G02F 1/133
G02F 1/1368
G09F 9/30
G09F 9/35
G09G 3/20
G09G 3/34
G09G 3/36

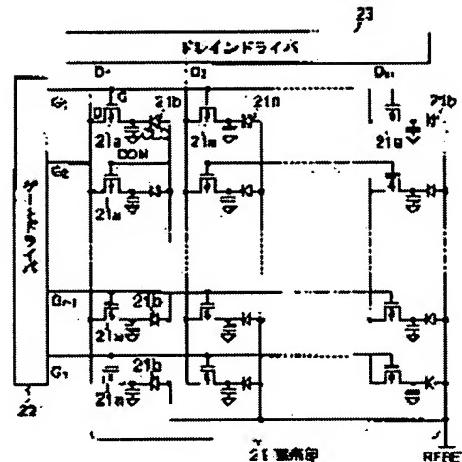
(21)Application number : 2001-395073 (71)Applicant : CASIO COMPUT CO LTD
(22)Date of filing : 26.12.2001 (72)Inventor : MIZUTANI YASUSHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To improve an opening ratio of each pixel by disusing a transistor for reset operation, and also simplify the wiring on a liquid crystal display panel, in a liquid crystal display device of a field sequential system.

SOLUTION: Each pixel is provided with a TFT 21a for display of which the source electrode is connected with the corresponding pixel capacitor CLC, and the gate electrode is connected with a gate line from the gate driver 22, and the drain electrode is connected with a drain line from the drain driver 23, and a diode 21b of which one end is connected with the source electrode of this TFT 21a and the pixel capacitor CLC, and the other end is supplied with a reset signal, and the reset signal is outputted in batch to the diodes 21b, 21b,... of all the pixels at the time of resetting.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項 1】対向する内面それぞれに電極が形成された一対の基板間に液晶を挟持した液晶素子、上記一対の基板のうちの一方の基板の内面に行方向および列方向にマトリックス状に配列させて設けられた複数の画素電極、上記複数の画素電極にそれぞれ対応させて一つずつ配置され、それぞれのソース電極が対応する上記画素電極に接続された複数の薄膜トランジスタ、各画素電極行にそれぞれ対応させて配線され、上記薄膜トランジスタのゲート電極に接続された複数のゲートライン、各画素電極列にそれぞれ対応させて配線され、上記薄膜トランジスタのドレイン電極に接続された複数のドレインライン、及び上記一対の基板のうちの他方の基板の内面に設けられ、上記複数の画素電極に對向する対向電極を有し、光の透過を制御して画像を表示する液晶表示素子と、上記液晶表示素子の背後に配置され、複数の色の光を所定の周期で順次上記液晶表示素子に向けて出射するバックライトとを備え、1つのカラー画像を表示するための1フィールドを上記バックライトが出射する光の色の数で分割した複数のサブフィールド毎に、上記液晶表示素子への上記複数の色のうちの1つの色に対応する表示データの書き込みと、上記バックライトからの上記表示データに對応する色の光の出射を行なわせて、上記複数のサブフィールド毎の複数の色の表示の合成により1つのカラー画像を表示する液晶表示装置において、上記複数の画素電極にそれぞれ対応させて配置され、上記薄膜トランジスタのソース電極に接続された複数のダイオードと、リセット時に上記ゲートラインを介して上記複数のダイオードにリセット信号を一括出力するリセット制御手段とを具備したことを特徴とする液晶表示装置。

上記複数の画素電極にそれぞれ対応させて配線され、上記薄膜トランジスタのソース電極に接続された複数のダイオードと、リセット時に上記ゲートライン及びドレインラインとは別に設けられたリセット配線を介して上記複数のダイオードにリセット信号を一括出力するリセット制御手段とを具備したことを持徴とする液晶表示装置。

【請求項 2】上記複数のダイオードは、上記複数の画素電極にそれぞれ対応させて1つずつ配置したことを特徴とする請求項1記載の液晶表示装置。

【請求項 3】上記複数のダイオードは、上記複数の画素電極にそれぞれ対応させて一対のシェナダイオードを配置したことを特徴とする請求項1記載の液晶表示装置。

【請求項 4】対向する内面それぞれに電極が形成された一対の基板間に液晶を挟持した液晶素子、上記一対の基板のうちの一方の基板の内面に行方向および列方向にマトリックス状に配列させて設けられた複数の画素電極、上記複数の画素電極にそれぞれ対応させて一つずつ配置され、それぞれのソース電極が対応する上記画素電極に接続された複数の薄膜トランジスタ、各画素電極行にそれぞれ対応させて配線され、上記薄膜トランジスタのゲート電極に接続された複数のゲートライン、各画素電極列にそれぞれ対応させて配線され、上記薄膜トランジスタのドレイン電極に接続された複数のドレインライン、及び上記一対の基板のうちの他方の基板の内面に設けら

れ、上記複数の画素電極に對向する対向電極を有し、光の透過を制御して画像を表示する液晶表示素子と、上記液晶表示素子の背後に配置され、複数の色の光を所定の周期で順次上記液晶表示素子に向けて出射するバックライトとを備え、1つのカラー画像を表示するための1フィールドを上記バックライトが出射する光の色の数で分割した複数のサブフィールド毎に、上記液晶表示素子への上記複数の色のうちの1つの色に対応する表示データの書き込みと、上記バックライトからの上記表示データに對応する色の光の出射を行なわせて、上記複数のサブフィールド毎の複数の色の表示の合成により1つのカラー画像を表示する液晶表示装置において、上記複数の画素電極にそれぞれ対応させて配線され、上記薄膜トランジスタのソース電極に接続された複数のダイオードと、リセット時に上記ゲートラインを介して上記複数のダイオードにリセット信号を一括出力するリセット制御手段とを具備したことを特徴とする液晶表示装置。

【請求項 5】対向する内面それぞれに電極が形成された一対の基板間に液晶を挟持した液晶素子、上記一対の基板のうちの一方の基板の内面に行方向および列方向にマトリックス状に配列させて設けられた複数の画素電極、上記複数の画素電極にそれぞれ対応させて一つずつ配置され、それぞれのソース電極が対応する上記画素電極に接続された複数の薄膜トランジスタ、各画素電極行にそれぞれ対応させて配線され、上記薄膜トランジスタのゲート電極に接続された複数のゲートライン、各画素電極列にそれぞれ対応させて配線され、上記薄膜トランジスタのドレイン電極に接続された複数のドレインライン、及び上記一対の基板のうちの他方の基板の内面に設けられ、上記複数の画素電極に對向する対向電極を有し、光の透過を制御して画像を表示する液晶表示素子と、上記液晶表示素子の背後に配置され、複数の色の光を所定の周期で順次上記液晶表示素子に向けて出射するバックライトとを備え、1つのカラー画像を表示するための1フィールドを上記バックライトが出射する光の色の数で分割した複数のサブフィールド毎に、上記液晶表示素子への上記複数の色のうちの1つの色に対応する表示データの書き込みと、上記バックライトからの上記表示データに對応する色の光の出射を行なわせて、上記複数のサブフィールド毎の複数の色の表示の合成により1つのカラー画像を表示する液晶表示装置において、上記複数の画素電極にそれぞれ対応させて配線され、上記薄膜トランジスタのソース電極に接続された複数のダイオードと、リセット時に上記ゲートラインを介して上記複数のダイオードにリセット信号を一括出力するリセット制御手段とを具備したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フィールドシーケンシャル方式の液晶表示装置に関する。

【0002】

【従来の技術】近時、カラー画像を表示する液晶表示装置として、対向する内面それぞれに電極が形成された一对の基板間に液晶を挟持した液晶素子を有し、光の透過を制御して画像を表示する液晶表示素子と、上記液晶表示素子の背後に配置され、複数の色の光を所定の周期で順次上記液晶表示素子に向けて出射するバックライトと、1つのカラー画像を表示するための1フィールドを上記バックライトが射出する光の色の数で分割した複数のサブフィールド毎に、上記液晶表示素子への上記複数の色のうちの1つの色に対応する表示データの書き込みと、上記バックライトからの上記表示データに対応する色の光の射出を行なわせる制御手段とを備え、上記複数のサブフィールド毎の複数の色の表示の合成により1つのカラー画像を表示する方式のものが研究されている。

【0003】この方式は、一般にフィールドシーケンシャル方式と呼ばれており、従来のフィールドシーケンシャル方式の液晶表示装置では、上記複数のサブフィールド毎に、上記バックライトから1つの色の光をサブフィールド期間中射出させ、その状態で上記液晶表示素子に上記1つの色に対応する表示データを書き込むようにした構成となっている。

【0004】このフィールドシーケンシャル方式の液晶表示装置は、液晶表示素子がカラーフィルタを備えていないため、カラーフィルタによる光の吸収がなく、また、1フィールドをバックライトが出射する光の色の数で分割した複数のサブフィールド毎の複数の色の明るい光の合成により1つのカラー画像を表示するため、複数の画素をそれぞれ対応する複数の色のカラーフィルタを備えた液晶表示素子を用いる液晶表示装置に比べて、明るく、しかも高精細なカラー画像を表示することができる。

【0005】図11は、従来のフィールドシーケンシャル方式の液晶表示装置の一例を示すものである。同図で、液晶表示素子としては、薄膜トランジスタ（以下「TFT」と称する）11a, 11b, ……を能動素子（画素ドライバ）とするアクティブラチック型のものが用いられた画素部11に対し、該TFT11a, 11b, ……のゲート端子に接続された複数のゲートラインG1～Gnにそれぞれ上記TFT11a, 11b, ……をオンさせるゲート信号を供給するゲートドライバ12と、同TFT11a, 11b, ……のドレイン端子に接続された複数のドレインラインD1～Dnに上記ゲート信号と同期させてそれぞれ表示データに応じた書き込みデータ信号を供給するドレインドライバ13とを備えている。

【0006】画素部11の各画素位置においては、上記

ゲートライン、ドレインラインに接続されたTFT11aのソース端子が、液晶の画素電極間で構成される画素容量CLCの一端に接続され、画素容量CLCの他端が他の画素との共通電極COMに接続される。

【0007】加えて、液晶容量CLCの一端とTFT11aのソース端子には、リセット用のTFT11bのソース端子が併せて接続構成される。このリセット用のTFT11bは、全ての画素共通でドレイン端子にリセットドレイン信号VRESが印加され、ゲート電極にリセットゲート信号RESETが与えられるものとなっている。

【0008】このような回路構成にあって、フィールドシーケンシャル方式の液晶表示装置では、1サブフィールド毎に「（表示データの）書き込み」「（表示データの）保持」及び「（表示データを保持した状態での）バックライト（BL）の点灯」「（全画素の）リセット」の4つの状態を繰り返し実行するもので、リセット動作時には上記ゲートドライバ12、ドレインドライバ13とは別の箇所からの制御信号として、上述したリセットドレイン信号VRES、リセットゲート信号RESETを用いて、表示用のTFT11a, 11b, ……に併設したりセット用のTFT11b, 11b, ……を制御駆動することとなる。

【0009】

【発明が解決しようとする課題】上述した如く従来的一般的なフィールドシーケンシャル方式の液晶表示装置では、画素部11を構成する各1画素当たりで、表示データを書き込むためのTFT11aとリセット用のTFT11bの計2つのTFTが必要となり、且つその制御系統も異なる。

【0010】そのため、開口率の低下や液晶表示素子パネル上で配線レイアウトの複雑化、配線容量の増大等を招くと共に、配線間の短絡などで素子製造の歩留まりを低下させる要因ともなるなど、数多くの不具合を有している。

【0011】本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、リセット動作用のトランジスタを不要として、各画素の開口率を向上させると共に、液晶表示パネル上で配線を簡略化することが可能なフィールドシーケンシャル方式の液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】請求項1記載の発明は、対向する内面それぞれに電極が形成された一对の基板間に液晶を挟持した液晶素子、上記一对の基板のうちの一方の基板の内面に行方向および列方向にマトリックス状に配列させて設けられた複数の画素電極、上記複数の画素電極にそれぞれ対応させて一つずつ配置され、それぞれのソース電極が対応する上記画素電極に接続された複数の薄膜トランジスタ、各画素電極間にそれぞれ対応さ

せて配線され、上記薄膜トランジスタのゲート電極に接続された複数のゲートライン、各画素電極列にそれぞれ対応させて配線され、上記薄膜トランジスタのドレイン電極に接続された複数のドラインライン、及び上記一対の基板のうちの他の基板の内面に設けられ、上記複数の画素電極に對向する対向電極を有し、光の透過を制御して画像を表示する液晶表示素子と、上記液晶表示素子の背後に配置され、複数の色の光を所定の周期で順次上記液晶表示素子に向けて出射するバックライトとを備え、1つのカラー画像を表示するための1フィールドを上記バックライトが出射する光の色の数で分割した複数のサブフィールド毎に、上記液晶表示素子への上記複数の色のうちの1つの色に対応する表示データの書き込みと、上記バックライトからの上記表示データに対応する色の光の出射を行なわせて、上記複数のサブフィールド毎の複数の色の表示の合成により1つのカラー画像を表示する液晶表示装置において、上記複数の画素電極にそれぞれ対応させて配置され、上記薄膜トランジスタのソース電極に接続された複数のダイオードと、リセット時に上記ゲートライン及びドラインラインとは別に設けられたりセッット配線を介して上記複数のダイオードにリセット信号を一括出力するリセット制御手段とを具備したことを特徴とする。

【0013】このような構成とすれば、リセット動作用のトランジスタを不要として、各画素の開口率を向上させると共に、液晶表示パネル上での配線を簡略化することが可能となる。

【0014】請求項2記載の発明は、上記請求項1記載において、上記複数のダイオードは、上記複数の画素電極にそれぞれ対応させて1つずつ配置したことを特徴とする。

【0015】このような構成とすれば、上記請求項1記載の発明の作用に加えて、リセット動作用のトランジスタに代えて設けるダイオードの構成を極力簡素化したことにより、各画素の開口率をより向上させることができる。

【0016】請求項3記載の発明は、上記請求項1記載の発明において、上記複数のダイオードは、上記複数の画素電極にそれぞれ対応させて一対のシェナダイオードを配置したことを特徴とする。

【0017】このような構成とすれば、上記請求項1記載の発明の作用に加えて、正負両性別の電圧によるリセットを繰返すことにより、各リセット期間で画素電極を交流駆動して全画素を確実にリセットさせることが可能となる。

【0018】請求項4記載の発明は、対向する内面それぞれに電極が形成された一対の基板間に液晶を挟持した液晶素子、上記一対の基板のうちの一方の基板の内面に行方向および列方向にマトリックス状に配列させて設けられた複数の画素電極、上記複数の画素電極にそれぞれ対応させて1つずつ配置され、それぞれのソース電極が対応する上記画素電極に接続された複数の薄膜トランジスタ、各画素電極行にそれぞれ対応させて配線され、上記薄膜トランジスタのゲート電極に接続された複数のゲートライン、各画素電極列にそれぞれ対応させて配線され、上記薄膜トランジスタのドレイン電極に接続された複数のドラインライン、及び上記一対の基板のうちの他の基板の内面に設けられ、上記複数の画素電極に對向する対向電極を有し、光の透過を制御して画像を表示する液晶表示素子と、上記液晶表示素子の背後に配置され、複数の色の光を所定の周期で順次上記液晶表示素子に向けて出射するバックライトとを備え、1つのカラー画像を表示するための1フィールドを上記バックライトが出射する光の色の数で分割した複数のサブフィールド

対応させて1つずつ配置され、それぞれのソース電極が対応する上記画素電極に接続された複数の薄膜トランジスタ、各画素電極行にそれぞれ対応させて配線され、上記薄膜トランジスタのゲート電極に接続された複数のゲートライン、各画素電極列にそれぞれ対応させて配線され、上記薄膜トランジスタのドレイン電極に接続された複数のドラインライン、及び上記一対の基板のうちの他の基板の内面に設けられ、上記複数の画素電極に對向する対向電極を有し、光の透過を制御して画像を表示する液晶表示素子と、上記液晶表示素子の背後に配置され、複数の色の光を所定の周期で順次上記液晶表示素子に向けて出射するバックライトとを備え、1つのカラー画像を表示するための1フィールドを上記バックライトが出射する光の色の数で分割した複数のサブフィールド毎に、上記液晶表示素子への上記複数の色のうちの1つの色に対応する表示データの書き込みと、上記バックライトからの上記表示データに対応する色の光の出射を行なわせて、上記複数のサブフィールド毎の複数の色の表示の合成により1つのカラー画像を表示する液晶表示装置において、上記複数の画素電極にそれぞれ対応させて配置され、上記薄膜トランジスタのソース電極に接続された複数のダイオードと、リセット時に上記ゲートラインを介して上記複数のダイオードにリセット信号を一括出力するリセット制御手段とを具備したことを特徴とする。

【0019】このような構成とすれば、リセット動作用のトランジスタを不要として、各画素の開口率を向上させると共に、画素電極部においてリセット用の配線を用いらず、ゲートラインを介してリセットを行なうため、液晶表示パネル上での配線を大幅に簡略化することが可能となる。

【0020】請求項5記載の発明は、対向する内面それぞれに電極が形成された一対の基板間に液晶を挟持した液晶素子、上記一対の基板のうちの一方の基板の内面に行方向および列方向にマトリックス状に配列させて設けられた複数の画素電極、上記複数の画素電極にそれぞれ対応させて1つずつ配置され、それぞれのソース電極が対応する上記画素電極に接続された複数の薄膜トランジスタ、各画素電極行にそれぞれ対応させて配線され、上記薄膜トランジスタのゲート電極に接続された複数のゲートライン、各画素電極列にそれぞれ対応させて配線され、上記薄膜トランジスタのドレイン電極に接続された複数のドラインライン、及び上記一対の基板のうちの他の基板の内面に設けられ、上記複数の画素電極に對向する対向電極を有し、光の透過を制御して画像を表示する液晶表示素子と、上記液晶表示素子の背後に配置され、複数の色の光を所定の周期で順次上記液晶表示素子に向けて出射するバックライトとを備え、1つのカラー画像を表示するための1フィールドを上記バックライトが出射する光の色の数で分割した複数のサブフィールド

毎に、上記液晶表示素子への上記複数の色のうちの1つの色に対応する表示データの書き込みと、上記パックライトからの上記表示データに対応する色の光の出射を行なわせて、上記複数のサブフィールド毎の複数の色の表示の合成により1つのカラー画像を表示する液晶表示装置において、上記複数の画素電極にそれぞれ対応させて配置され、上記複数トランジスタのソース電極に接続された複数のダイオードと、リセット時に上記ドレインを介して上記複数のダイオードにリセット信号を一括出力するリセット制御手段とを具備したことを特徴とする。

【0021】このような構成とすれば、リセット動作用のトランジスタを不要として、各画素の開口率を向上させると共に、画素電極部においてリセット用の配線を用いず、ドレンラインを介してリセットを行なうため、液晶表示パネル上での配線を大幅に簡略化することが可能となる。

【0022】

【発明の実施の形態】（第1の実施の形態）以下本発明をフィールドシーケンシャル方式の液晶表示装置に適用した場合の第1の実施の形態について図面を参照して説明する。

【0023】図1は、その回路構成を示すものである。同図で、液晶表示素子としてはTFT21a, 21b, ……を能動素子（画素ドライバ）とするアクティブマトリック型のものが用いられた画素部21に対し、該TFT21a, 21b, ……のゲート端子に接続された複数のゲートラインG1～Gnにそれぞれ上記TFT21a, 21b, ……をオンさせるゲート信号を供給するゲートドライバ22と、同TFT21a, 21b, ……のドレン端子に接続された複数のドレンラインD1～Dmに上記ゲート信号と同期させてそれぞれ表示データに応じた書き込みデータ信号を供給するドレインドライバ23を備えている。

【0024】画素部21の各画素位置においては、上記ゲートライン、ドレンラインに接続されたTFT21aのソース端子が、液晶の画素電極間で構成される画素容量CLCの一端とダイオード21bのカソードに接続され、画素容量CLCの他端が他の画素との共通電極COMに接続される一方、該ダイオード21bのアノードにリセット信号RESETが与えられるものとなっている。

【0025】上記のような回路構成にあって、ダイオード21bは、図2(b)に示すような特性をもっており、ダイオード21bのアノードには、+0.6[V]～+0.8[V]以上の電圧を印加することでその電圧値に応じた電流を流すことが可能である。

【0026】したがって、図2(c)に示すように、TFT21aのソース端子と画素容量CLCの一端、及びダイオード21bのカソードの接続点での上記+0.6[V]～+0.8[V]の電位をVnとすると、図4(a)～(4)で示すリセット信号RESETの高電位側の電圧VRESHを上記電位Vn、すなわち+0.6[V]～+0.8[V]を下回る電圧に設定している

(a)～(4)で示すリセット信号RESETの低電位側の電圧VRESLが上記電位Vn、すなわち+0.6[V]～+0.8[V]を下回る電圧に設定している

Vn > RESET …(1)

なる状態では、表示データの書き込みを行なうことが可能な状態となり、図2(e)～(2)に示すようにゲートドライバ22がゲートラインG1～Gnへのゲート信号を順次オンさせて、ドレインドライバ23により各ドレンラインを介してTFT21a, 21b, ……へ画素毎に表示データが書き込まれる。

【0027】その後、リセット期間となって各ゲートラインG1～Gnへのゲート信号がオフとなり、代わってリセット信号RESETを電圧VRESHまで昇圧すると、今度は

Vn < RESET …(2)

となり、各画素において一括してダイオード21bを介して電流が流れ、全画素が同時にリセットされることとなる。但し、この場合には各画素は正の電圧によってリセットされることとなる。

【0028】このように、各画素毎にリセット用のTFTに代えてダイオードを配し、リセット時には該ダイオードを介して全画素を一括してリセットするようになるため、リセット動作用のトランジスタを不要として各画素の開口率を向上させると共に、液晶表示パネル上での配線を簡略化することが可能となる。

【0029】（第1の実施の形態の第1の変形例）次いで、本実施の形態の第1の変形例について説明する。図3は、その回路構成を示すものであり、基本的には上記図1に示したものと同様であるので、同一部分には同一符号を付してその説明は省略する。

【0030】しかして、各画素位置におけるダイオード21bを、上記図1とは逆の極性、すなわちTFT21aのソース端子及び画素容量CLCの一端にそのアノードを接続し、一方のカソードにリセット信号RESETを与えるものとして配設する。

【0031】上記のような回路構成にあって、ダイオード21bの特性が上記図2(b)に示した如く、アノードに+0.6[V]～+0.8[V]以上の電圧を印加することでその電圧値に応じた量の電流を流すことが可能となる。

【0032】したがって、図4(b)に示すように、TFT21aのソース端子と画素容量CLCの一端、及びダイオード21bのアノードの接続点での上記+0.6[V]～+0.8[V]の電位をVnとすると、図4(a)～(4)で示すリセット信号RESETの高電位側の電圧VRESHを上記電位Vn、すなわち+0.6[V]～+0.8[V]を上回る電圧に設定している

Vn < RESET …(3)

なる状態では、表示データの書き込みが可能な状態となり、図4(e)～(2)に示すようにゲートドライバ22

2がゲートラインG₁～G_nへのゲート信号を順次オンさせて、ドレインドライバ23により各ドレンラインを介してTFT21a, 21b, ……へ画素毎に表示データが書き込まれる。

【0033】その後、リセット期間となって各ゲートラインG₁～G_nへのゲート信号がオフとなり、代わってリセット信号RESETを電圧VRESLまで降圧すると、今度は

$$V_n > RESET \quad \dots(4)$$

となり、ダイオード21bを介してTFT21aのソース端子と画素容量CLCの一端からダイオード21bを介して該リセット信号RESETを与える側に電流が流れ、全画素が同時にリセットされることとなる。但し、この場合には各画素は負の電圧によってリセットされることとなる。

【0034】（第1の実施の形態の第2の変形例）次いで、本実施の形態の第2の変形例について説明する。図5は、その回路構成を示すものであり、基本的には上記図1、図3に示したものと同様であるが、同一部分には同一符号を付してその説明は省略する。

【0035】画素部21'の各画素位置においては、上記ダイオード21bに代えて、互いのカソード同士を接続した同一の特性を有する一対のシェナダイオード21c, 21dを配設し、その一方、シェナダイオード21cのアノードを上記TFT21aのソース端子と画素容量CLCの一端に接続し、また他方のシェナダイオード21dのアノードにリセット信号RESETを与えるものとしている。

【0036】上記のような回路構成にあって、シェナダイオード21c, 21dの単体では図6(b)-1に示すような特性を持ち、このシェナダイオード21c(21d)のアノードに、+0.6[V]～+0.8[V]以上の電圧を印加することでその電圧値に応じた電流を流すことが可能となる一方で、ある一定の逆電圧VZよりさらに大きい逆電圧を印加したときには、逆電流が突然流れようになるものである。

【0037】したがって、このような一対のシェナダイオード21c, 21dのカソードを相互接続することにより、その総合的な特性は図6(b)-2に示すように、リセット信号として与えられる電圧が、VZL(<0[V])からVZH(>0[V])の範囲内にある場合にはこのシェナダイオード21c, 21dにほとんど電流が流れない状態となる。

【0038】すなわち、図6(c)に示すように、TFT21aのソース端子と画素容量CLCの一端、及びシェナダイオード21cのアノードの接続点での上記+0.6[V]～+0.8[V]の電位をVnとすると、図6(a)-(4)で示すリセット信号RESETが上記電位Vn、すなわち+0.6[V]～+0.8[V]と上記電圧VZL, VZHにより

$$V_n + VZL < RESET < V_n + VZH \quad \dots(5)$$

の関係を維持している電圧VRESMの状態では、シェナダイオード21c, 21dを介してどちらの方向へも電流が流れず、表示データの書き込みを行なうことが可能な状態となり、図6(e)-(2)に示すようにゲートドライバ22がゲートラインG₁～G_nへのゲート信号を順次オンさせて、ドレインドライバ23により各ドレンラインを介してTFT21a, 21b, ……へ画素毎に表示データが書き込まれる。

【0039】その後、リセット期間となって各ゲートラインG₁～G_nへのゲート信号がオフとなり、図6(e)-(4)に示すように、代わってリセット信号RESETを降圧して

$$V_n + VZL > RESET \quad \dots(6)$$

なる状態の電圧VRESLとすると、TFT21aのソース端子及び画素容量CLCの一端の側からシェナダイオード21c, 21dを介してリセット信号を与える側の方向に電流が流れ、全画素が同時にリセットされることとなる。但し、この場合には各画素は負の電圧によってリセットされることとなる。

【0040】さらに、今度はリセット信号RESETを昇圧して

$$V_n + VZH < RESET \quad \dots(7)$$

なる状態の電圧VRESHとすると、リセット信号を与える側からシェナダイオード21c, 21dを介してTFT21aのソース端子及び画素容量CLCの一端の方向に電流が流れ、全画素が同時にリセットされることとなる。但し、この場合には各画素は正の電圧によってリセットされることとなる。

【0041】このように、表示データの書き込みと正負両極性の電圧によるリセットを繰返すことにより、画素部21'を交流駆動して全画素を確実にリセットさせることが可能となる。

【0042】（第2の実施の形態）以下本発明をフィールドシーケンシャル方式の液晶表示装置に適用した場合の第2の実施の形態について図面を参照して説明する。

【0043】図7は、その回路構成を示すものである。同図で、液晶表示素子としてはTFT31a, 31b, ……を能動素子（画素ドライバ）とするアクティブマトリックス型のものが用いられた画素部31に対し、該TFT31a, 31b, ……のゲート端子にシェナダイオード32, 32, ……を介して接続された複数のゲートラインG₁～G_nにそれぞれ上記TFT31a, 31b, ……をオンさせるゲート信号を供給するゲートドライバ33と、同TFT31a, 31b, ……のドレン端子に接続された複数のドレンラインD1～Dmに上記ゲート信号と同期させてそれぞれ表示データに応じた書き込みデータ信号を供給するドレインドライバ34とを備えている。

【0044】画素部31の各画素位置においては、上記

ゲートライン、ドレインラインに接続されたTFT31aのソース端子が、液晶の画素電極間で構成される画素容量CLCの一端とダイオード31bのアノードに接続され、画素容量CLCの他端が他の画素との共通電極COMに接続される。

【0045】該ダイオード31bのカソードは、シェナダイオード31cのカソードに接続され、このシェナダイオード31cのアノードがゲートラインに接続される。

【0046】しかして、各ゲートラインG1～Gnの画素部31を挿んで上記シェナダイオード32、32、…が接続された側とは反対側の端部がそれぞれダイオード35、35、…のアノードに接続され、これらダイオード35、35、…のカソードにリセット信号RESETが与えられるものとなっている。

【0047】上記のような回路構成にあって、相互のカソード同士を接続したダイオード31bとシェナダイオード31cの総合特性は図8(b)に示すように、ある一定の逆電圧VZよりさらに大きい逆電圧を印加したときに、逆電流が突然流れれるようになるものである。

【0048】各画素における各位置の電位を図8(c)に示すものとした場合に、図8(a)～(4)で示すリセット信号RESETをVRESHとすると、

- ・RESET>VGate 且つ、
- ・VZ1+VGate<VGdriver
- または VGdriver<VGate 且つ、
- ・vn<VGate<VZ2…(8)

の状態が成立し、シェナダイオード32のアノード及びTFT31aのゲート端子とダイオード35のカソードとの間、TFT31aのソース端子と同ゲート端子との間のそれでは電流が流れず、ゲートドライバ33が接続されるシェナダイオード32のカソードとTFT31aのゲート端子との間に電流が流れれる状態となる。

【0049】したがって、図8(a)～(2)に示すようにゲートドライバ33がゲートラインG1～Gnへのゲート信号を順次オンさせて、ドレインドライバ34により各ドレインラインを介してTFT31a、31a、…へ画素毎に表示データが書込まれる。

【0050】その後、リセット期間となって各ゲートラインG1～Gnへのゲート信号がオフとなり、代わってリセット信号RESETを電圧VRESLまで降圧すると、今度は

- ・RESET<VGate 且つ、
- ・VGate<VGdriver<VZ1+VGate 且つ、
- ・vn>VZ2+VGate…(9)

の状態が成立し、シェナダイオード32のアノード及びTFT31aのゲート端子からダイオード35のカソードへの電流と、TFT31aのソース端子から同ゲート端子への電流が流れ、ゲートドライバ33が接続される

シェナダイオード32のカソードとTFT31aのゲート端子との間には電流が流れない状態となる。

【0051】したがって、各画素において一括してダイオード35を介して電流が流れ、全画素が同時にリセットされることとなる。但し、この場合には各画素は負の電圧によってリセットされることとなる。

【0052】このように、各画素毎にリセット用のTFTに代えてダイオードとシェナダイオードとを配し、リセット時にはリセット信号をゲートラインを介して供給することにより、全画素を一括してリセットするようになるため、リセット動作のトランジスタを不要として各画素の開口率を向上させると共に、液晶表示パネル上の記録を大幅に簡略化することが可能となる。

【0053】(第3の実施の形態)以下本発明をフィールドシーケンシャル方式の液晶表示装置に適用した場合の第3の実施の形態について図面を参照して説明する。

【0054】図9は、その回路構成を示すものである。同図で、液晶表示素子としてはTFT41a、41a、…を能動素子(画素ドライバ)とするアクティブマトリックス型のものが用いられた画素部41に対し、該TFT41a、41a、…のゲート端子に接続された複数のゲートラインG1～Gnにそれぞれ上記TFT41a、41a、…をオンさせるゲート信号を供給するゲートドライバ42と、同TFT41a、41a、…のドレイン端子に接続された複数のドレインラインD1～Dmに上記ゲート信号と同期させてそれぞれ表示データに応じた書き込みデータ信号を供給するドレインドライバ43とを備えている。

【0055】画素部41の各画素位置においては、上記ゲートライン、ドレインラインに接続されたTFT31aのソース端子が、液晶の画素電極間で構成される画素容量CLCの一端に接続され、画素容量CLCの他端が他の画素との共通電極COMに接続される。

【0056】また、該TFT41aのソース端子とドレイン端子間に、互いのカソード同士を接続した同一の特性を有する一对のシェナダイオード41b、41cを配設し、その一方、シェナダイオード41bのアノードを上記TFT21aのドレイン端子と接続し、また他方のシェナダイオード41cのアノードをTFT21aのソース端子及び画素容量CLCの一端に接続する。

【0057】加えて、各ドレインラインD1～Dmの画素部41を挿んで上記ドレインドライバ43が接続された側とは反対側の端部に対してそれぞれ、互いのカソード同士を接続した同一の特性を有する一对のシェナダイオード44、45が配設され、このシェナダイオード44、45を介してリセット信号RESETが一括して与えられるものとなっている。

【0058】上記のような回路構成にあって、各画素部においてTFT41aのソース端子とドレイン端子間に配設された、相互のカソード同士を接続したシェナダイ

オード41b, 41cの結合特性は図10(b)-1に示すように、ある一定の逆電圧VZ1Lよりさらに大きい逆電圧を印加した場合に逆電流が突然流れる一方、ある一定の順電圧VZ1Hよりさらに大きい順電圧を印加した場合には順電流が突然流れるようになるものである。

【0059】同様に、各ドレインラインのドレインドライバ43とは反対に配設された、相互のカソード同士を接続したシェナダイオード44, 45の結合特性は図10(b)-2に示すように、ある一定の逆電圧VZ2Lよりさらに大きい逆電圧を印加した場合に逆電流が突然流れる一方、ある一定の順電圧VZ2Hよりさらに大きい順電圧を印加した場合には順電流が突然流れるようになるものである。

【0060】各画素における各位置の電位を図10(c)に示すものとした場合に、図10(e)-(3)で示すリセット信号RESETをVRESMとすると、

・VD+VZ2L < RESET < VD+VZ2H 且つ、

・Vn + VZ1L < VD < Vn + VZ1H …(10)

の状態が成立し、シェナダイオード44, 45を介してTFT41eのドレイン端子とリセット信号を与える側の間、及びシェナダイオード41b, 41cを介してTFT41eのソース端子とドレイン端子の間のそれぞれでは電流が流れない。

【0061】したがって、図10(e)-(2)に示すようにゲートドライバ42がゲートラインG1～Gnへのゲート信号を順次オンさせて、ドレインドライバ43により各ドレインラインを介してTFT41e, 41e, …へ画素毎に表示データが書き込まれる。

【0062】その後、リセット期間となって各ゲートラインG1～Gnへのゲート信号がオフとなり、代わってリセット信号RESETを電圧VRESLまで降圧すると、今度は

・VD+VZ2L > RESET 且つ、
・Vn + VZ1L > VD …(11)

の状態が成立し、シェナダイオード44, 45を介してTFT41eのドレイン端子側からリセット信号を与える側へ、またシェナダイオード41b, 41cを介してTFT41eのソース端子からドレイン端子へ、それぞれ電流が流れ。このとき、図10(e)-(5)に示すように、ドレインドライバ43側に電流が流れないよう、ドレインドライバ43の出力をすべてハイインピーダンス状態としておく。

【0063】したがって、各画素においてTFT41eのソース端子からリセット信号を与える側へ一括して電流が流れ、全画素が同時にリセットされることとなる。但し、この場合には各画素は負の電圧によってリセットされることとなる。

【0064】さらにこのリセット期間で今度はリセット

信号RESETを電圧VRESHまで昇圧すると、

・RESET > VD+VZ2H 且つ、

・VD > Vn + VZ1H …(12)

の状態が成立し、シェナダイオード44, 45を介してリセット信号を与える側からTFT41eのドレイン端子側へ、またシェナダイオード41b, 41cを介してTFT41eのドレイン端子からソース端子へ、それぞれ電流が流れ。このときも、図10(e)-(5)に示すように、ドレインドライバ43側に電流が流れないよう、ドレインドライバ43の出力をすべてハイインピーダンス状態としておく。

【0065】したがって、各画素においてリセット信号を与える側からTFT41eのソース端子へ一括して電流が流れ、全画素が同時にリセットされることとなる。但し、この場合には各画素は正の電圧によってリセットされることとなる。

【0066】このように、表示データの書き込みと正負両極性の電圧によるリセットを繰返すことにより、画素部41を毎回駆動して全画素を確実にリセットさせることができとなる。

【0067】加えて、リセット信号をドレインラインを介して供給することで全画素を一括してリセットするようになるため、リセット動作用のトランジスタを不要として各画素の開口率を向上させると共に、液晶表示パネル上での配線を大幅に簡略化することが可能となる。

【0068】その他、本発明は上記実施の形態に限らず、その要旨を逸脱しない範囲内で種々変形して実施することが可能であるものとする。

【0069】さらに、上記実施の形態には種々の段階の発明が含まれており、開示される複数の構成要素における適宜な組合せにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要素からいくつかの構成要素が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要素が削除された構成が発明として抽出され得る。

【0070】

【発明の効果】 請求項1記載の発明によれば、リセット動作用のトランジスタを不要として、各画素の開口率を向上させると共に、液晶表示パネル上での配線を簡略化することが可能となる。

【0071】 請求項2記載の発明によれば、上記請求項1記載の発明の効果に加えて、リセット動作用のトランジスタに代えて設けるダイオードの構成を極力簡素化したことにより、各画素の開口率をより向上させることができる。

【0072】 請求項3記載の発明によれば、上記請求項1記載の発明の効果に加えて、正負両極性の電圧によるリセットを繰返すことにより、各リセット期間で画素電

極を交流駆動して全画素を確実にリセットさせることができとなる。

【0073】請求項4記載の発明によれば、リセット動作用のトランジスタを不要として、各画素の開口率を向上させると共に、画素電極部においてリセット用の配線を用い、ゲートラインを介してリセットを行なうため、液晶表示パネル上での配線を大幅に簡略化することが可能となる。

【0074】請求項5記載の発明によれば、リセット動作用のトランジスタを不要として、各画素の開口率を向上させると共に、画素電極部においてリセット用の配線を用い、ドレンラインを介してリセットを行なうため、液晶表示パネル上での配線を大幅に簡略化することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るフィールドシーケンシャル方式の液晶表示装置の回路構成を示す図。

【図2】図1の回路中での動作を説明するための図。

【図3】同実施の形態に係るフィールドシーケンシャル方式の液晶表示装置の第1の変形例の回路構成を示す図。

【図4】図3の回路中での動作を説明するための図。

【図5】同実施の形態に係るフィールドシーケンシャル方式の液晶表示装置の第2の変形例の回路構成を示す図。

【図6】図5の回路中での動作を説明するための図。

【図7】本発明の第2の実施の形態に係るフィールドシーケンシャル方式の液晶表示装置の回路構成を示す図。

【図8】図7の回路中での動作を説明するための図。

【図9】本発明の第3の実施の形態に係るフィールドシーケンシャル方式の液晶表示装置の回路構成を示す図。

【図10】図9の回路中での動作を説明するための図。

【図11】一般的なフィールドシーケンシャル方式の液晶表示装置の回路構成を示す図。

【符号の説明】

1 1…画素部

1 1 a … (表示用) TFT

1 1 b … (リセット用) TFT

1 2…ゲートドライバ

1 3…ドレインドライバ

2 1, 2 1' …画素部

2 1 a … (表示用) TFT

2 1 b … (リセット用) ダイオード

2 1 c, 2 1 d … (リセット用) シェナダイオード

2 2…ゲートドライバ

2 3…ドレインドライバ

3 1…画素部

3 1 a … (表示用) TFT

3 1 b … (リセット用) ダイオード

3 1 c … (リセット用) シェナダイオード

3 2…シェナダイオード

3 3…ゲートドライバ

3 4…ドレインドライバ

3 5…ダイオード

4 1…画素部

4 1 a … (表示用) TFT

4 1 b, 4 1 c … (リセット用) シェナダイオード

4 2…ゲートドライバ

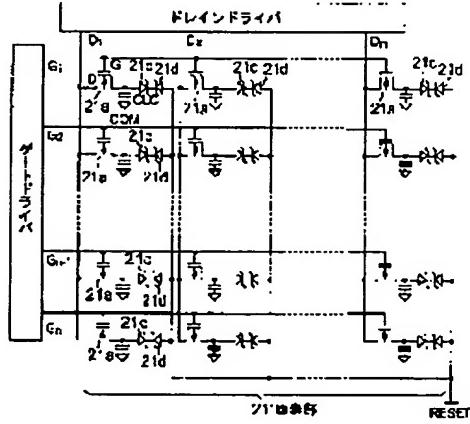
4 3…ドレインドライバ

4 4, 4 5…シェナダイオード

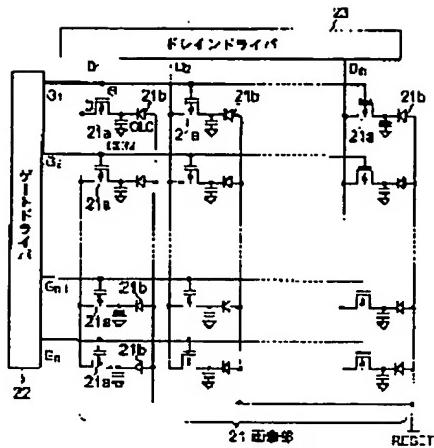
C LC…画素容量

COM…共通電極

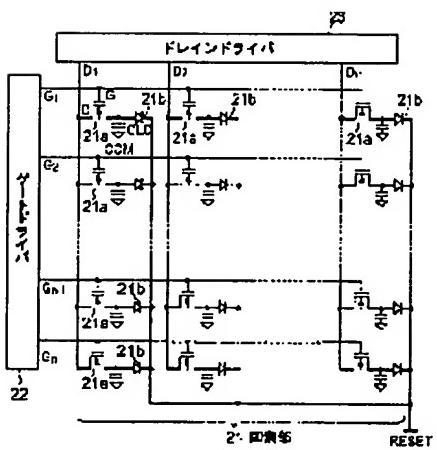
【図5】



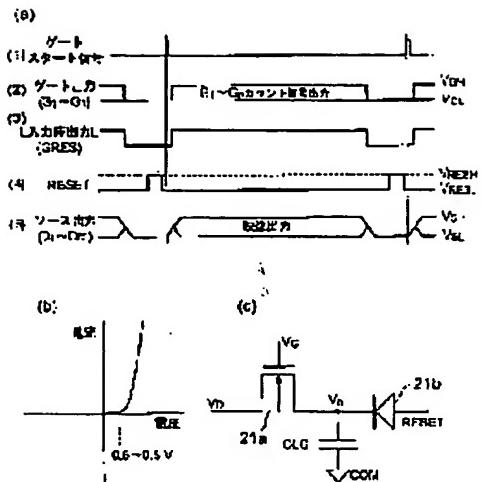
〔圖 1〕



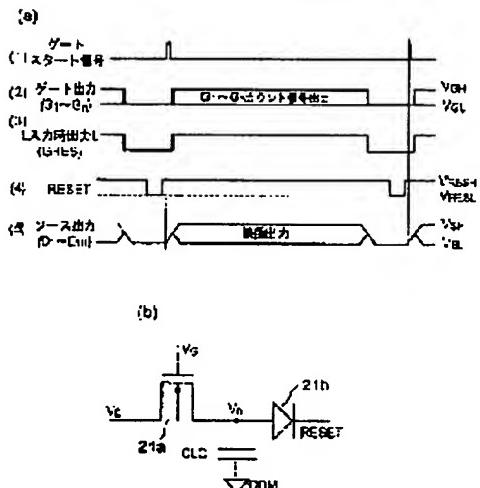
〔図3〕



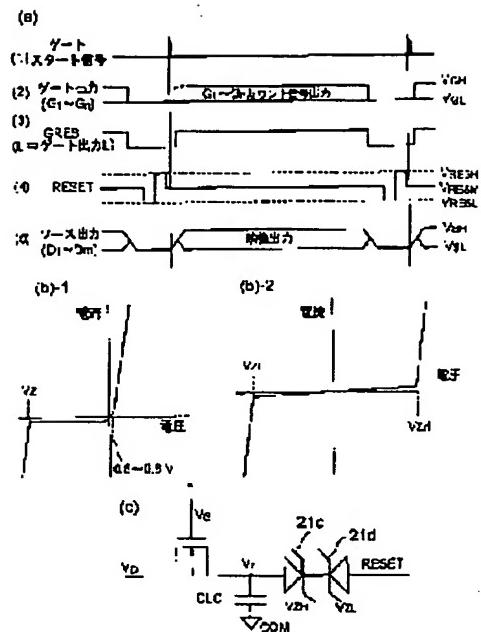
〔图2〕



[图4]

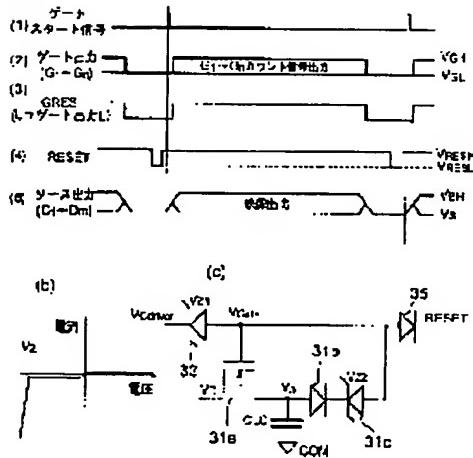


(6)

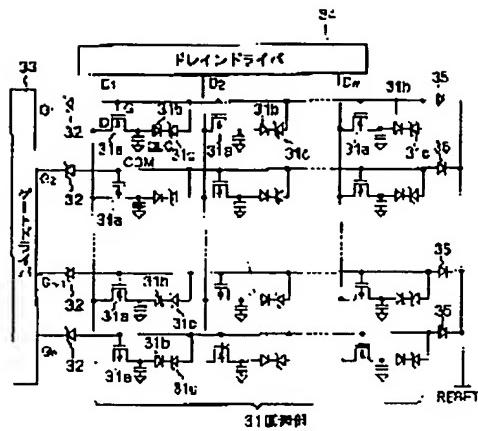


〔四八〕

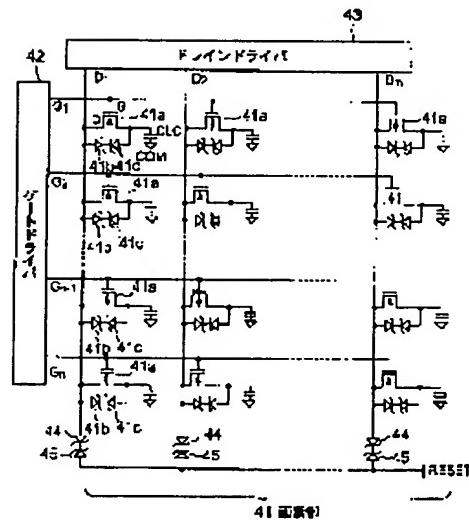
۸۴



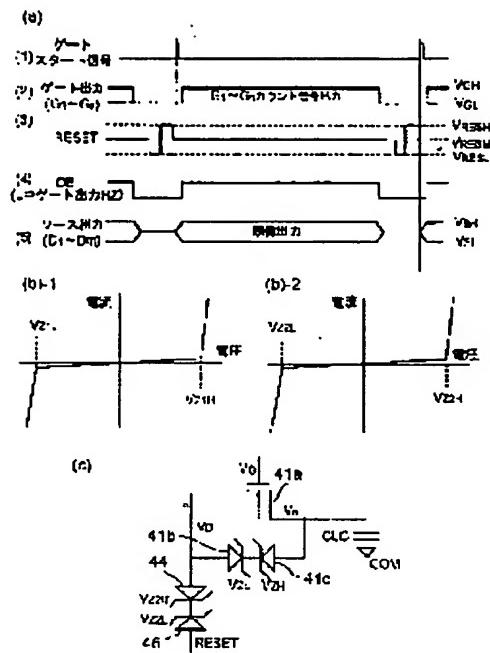
[图7]



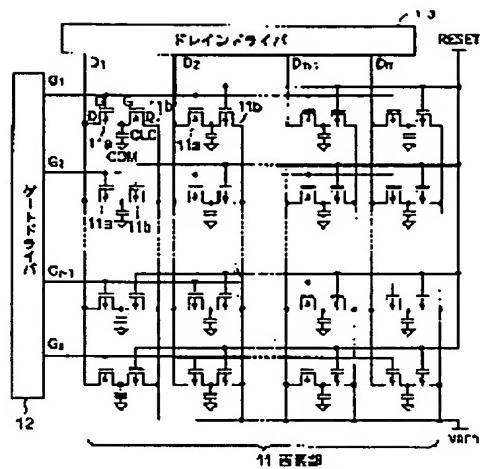
[图9]



【図 10】



【図 11】



フロントページの続き

(51) Int.CI.7	識別記号	F I	テーマコード”(参考)
G 09 F 9/35		G 09 F 9/35	
G 09 G 3/20	621	G 09 G 3/20	621M
	624		624B
	642		642J
	650		650M
	680		680G
3/34		3/34	J
3/36		3/36	

Fターミ(参考) 2H092 JA24 JB43 NA07 NA25 NA27
PA06 PA13
2H093 NA16 NA55 NC21 NC34 NC39
NC40 NC43 ND08 ND49 ND50
ND53
5C006 AA01 AA14 AF44 BB16 BB29
BF36 EA01 FA41 FA54 FA56
5C080 AA10 BB05 CC03 DD03 DD22
EE30 FF11 JJ02 JJ03 JJ04
5C094 AA10 AA43 AA45 BA03 BA43
CA19 DB10 EA04 EA07 GA10

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
G09G 3/18(11) 공개번호 특 1999-005264
(43) 공개일자 1999년 01월 25일

(21) 출원번호	특 1997-029459
(22) 출원일자	1997년 06월 30일
(71) 출원인	삼성전자 주식회사 윤증용
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 조경식
(74) 대리인	경기도 수원시 팔달구 남수동 11-201(3/1) 김원호, 최현석

설명구 : 없음(54) 전단 게이트 구동 방식의 액정 표시 장치**요약**

액정 패널 상의 n 번째 게이트 라인에 연결된 TFT로 n-2 번째 게이트 라인 상의 화소 전극을 구동하고, n-2 번째 화소 전극과 n-2 번째의 게이트 라인을 이용하여 n 번째 게이트 라인에 연결된 TFT로 구동되는 유지 커패시터를 형성하였다.

도면**도 1****도 2****도 3****도면의 간단한 설명**

도 1은 증래의 액정 표시 장치에서 액정 패널에 대한 등가 회로도이고,

도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치의 액정 패널에 대한 등가 회로도이고,

도 3은 본 발명의 제2 실시예에 따른 액정 표시 장치의 액정 패널에 대한 등가 회로도이다.

발명의 실체화 설명**발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

이 발명은 액정 표시 장치(liquid crystal display: LCD)에 관한 것으로서, 보다 상세하게는 박막 트랜지스터(thin film transistor: TFT) 액정 표시 장치를 구동하는 구동 장치에 관한 것이다.

평판 표시 장치의 일종인 TFT-LCD는 전압에 따라 빛의 투과도가 변하는 액정의 특성을 이용한 것으로써, 낮은 전압으로 구동이 가능하고 전력의 소모가 작아서 널리 이용되고 있다.

이러한 LCD는 액정에 전하 유지 능력을 보조하기 위하여 사용되는 유지 커패시터(storage capacitor)의 구조에 따라 독립 배선 방식과 전단 게이트(previous gate) 방식으로 나눌 수 있다. 독립 배선 방식은 별도의 전극을 두어 유지 커패시터를 형성하는 구조이고, 전단 게이트 방식은 별도의 전극 형성없이 게이트 전극의 영역을 확장하여 유지 커패시터를 형성하는 구조이다.

도 1에 증래의 전단 게이트 방식의 액정 패널의 등가 회로를 나타내었다. 도 1에서와 같이, 증래의 액정 패널은 화상 신호를 전달하는 데이터 라인(D₀, D₁, D₂, ..., D_n)과 게이트 신호를 전달하는 게이트 라인(G₀, G₁, G₂, ..., G_n)이 서로 교차하여 형성되어 각 화소의 동작을 스위칭(switching)하는 TFT와 연결되어 있다. 화상 신호는 화소 전극과 공통 전극이 형성하는 액정 커패시터(C_{tc})와 화소 전극과 바로 앞단의 게이트 라인에 형성하는 유지 커패시터(C_{st})에 충전된다.

이러한 액정 패널의 대형화와 고정세화에 따라 데이터 라인과 게이트 라인의 수가 증가하여 게이트 신호의 폭이 줄어들고, 게이트 라인이 길어짐에 따라 게이트 신호의 지연이 발생한다. 따라서 게이트 신호의 온 상태가 상대적으로 짧아지게 되어 액정 및 유지 커패시터를 충분히 충전시키지 못하는 경우가 발생된다.

또한 도 1에 도시한 구조의 액정 패널에서는 후단의 게이트가 온 될 때 바로 전단의 게이트는 오프(off)되어 있어야 한다. 그러나 게이트 신호의 지연에 의하여 이러한 조건을 충분히 만족시킬 수 없게 된다.

결국 이러한 문제점들은 화면이 흔박이는 플리커(flicker) 현상을 초래하게 된다.

발명의 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하기 위한 것으로서, 본 발명의 과제는 게이트 신호의 지연에 기인한 플리커 현상을 줄이기 위한 것이다.

발명의 구성 및 작용

이러한 과제를 달성하기 위하여, 본 발명에서는 액정 패널 상의 n 번째 게이트 라인에 연결된 TFT로 n-2 번째 게이트 라인 상의 화소 전극을 구동하고, n-2 번째 화소 전극과 n-2 번째의 게이트 라인을 이용하여 n 번째 게이트 라인에 연결된 TFT로 구동되는 유지 커패시터를 형성하였다.

이와 같이 n 번째 게이트 라인의 TFT로 n-2 번째 게이트 라인 상의 화소 전극을 구동함으로써 종래에 n-1 번째 라인 상의 화소를 구동하는 것보다 게이트 신호의 온 상태 유지 시간을 증가시킬 수 있다.

이하 본 발명의 바람직한 실시예를 기재한다. 그러나 하기한 실시예는 본 발명의 바람직한 한 실시예일 뿐 본 발명이 하기한 실시예에 한정되는 것은 아니다.

본 발명의 제1 실시예에 따른 액정 패널의 등가 회로를 도 2에 도시하였다. 도 2에서와 같이 본 발명에 따른 액정 패널은 화상 신호를 전달하는 데이터 라인(D_0, D_{n-1}, D_n, \dots)과 게이트 신호를 전달하는 게이트 라인($G_{n-1}, G_n, G_0, G_{n+1}, \dots$)이 서로 교차하여 형성되어 각 화소의 동작을 스위칭하는 TFT와 연결되어 있다. 화상 신호는 화소 전극과 공통 전극이 형성하는 액정 커패시터(Ct)와 화소 전극과 게이트 라인이 형성하는 유지 커패시터(Cst)에 충전된다.

이 때 n 번째 게이트 라인 G_n 에 연결된 TFT는 n-2 번째 게이트 라인 G_{n-2} 상에 있는 화소 전극과 연결되어 화소 전극을 구동하고, n-2 번째 게이트 라인 G_{n-2} 상의 화소 전극과 n-2 번째의 게이트 라인 G_{n-1} 사이에서 유지 커패시터 Cst가 형성된다. 여기서 n-2 번째 게이트 라인 G_{n-2} 상에 있는 화소 전극이란 n-2 번째 및 n-3 번째 게이트 라인 G_{n-2}, G_{n-1} 과 각각의 데이터 라인에 의해 구분되는 화소 영역에 형성되어 있는 화소 전극들을 말한다. 따라서 n 번째 게이트 라인 G_n 과 연결된 TFT의 드레인 전극은 n-2 번째의 게이트 라인 G_{n-2} 상에 있는 화소 전극과 연결된다.

상기한 액정 패널에서는 n 번째 게이트 라인 G_n 에 온 신호가 인가될 때 n-2 번째 게이트 라인 G_{n-2} 의 TFT는 오프 된다. 따라서 게이트 신호의 온 상태 유지 시간을 증가시킬 수 있다.

다음으로 본 발명의 제2 실시예에 따른 액정 패널의 등가 회로를 도 3에 도시하였다. 제2 실시예에 따른 액정 패널은 각각의 게이트 라인의 게이트 라인과 화소 전극을 구동하는 방법을 제외하고는 제1 실시예와 동일하다.

제2 실시예에서는 n 번째 게이트 라인 G_n 에 연결된 TFT는 n+2 번째 게이트 라인 G_{n+2} 상에 있는 화소 전극과 연결되어 화소 전극을 구동하고, n+2 번째 게이트 라인 G_{n+2} 상의 화소 전극과 n+2 번째의 게이트 라인 G_{n+1} 사이에서 유지 커패시터 Cst가 형성된다. 이 경우도 제1 실시예와 마찬가지로 게이트 신호의 온 상태 유지 시간을 증가시킬 수 있다.

발명의 효과

상기한 바와 같이, 본 발명에 따른 액정 표시 장치에서는 게이트 신호의 온 상태 유지 시간을 증가시켜 게이트 신호의 지연에 기인한 플리커 현상과 같은 화면 불량을 개선할 수 있다.

비록 이 발명은 가장 실제적이며 바람직한 실시예를 참조하여 설명되었지만, 이 발명은 상기 개시된 실시예에 한정되지 않으며, 후술되는 청구의 범위 내에 속하는 다양한 변형 및 등가물들도 포함된다.

(57) 청구의 범위

청구항 1

액정 패널의 각 화소에 화상 신호를 충전하는 화소 전극, 상기 화소 전극에 상기 화상 신호를 전달하는 다수의 데이터 라인, 상기 데이터 라인과 교차하고 상기 화상 신호가 상기 화소 전극에 인가되는 것을 제어하는 제어 신호를 전달하는 다수의 게이트 라인, 상기 n 번째 게이트 라인에 연결되고 상기 n-2 번째 및 n-3 번째 게이트 라인과 상기 각각의 데이터 라인에 의해 구분되는 상기 화소 전극을 구동하는 스위칭 소자 및 상기 n-2 번째 및 n-3 번째 게이트 라인과 상기 각각의 데이터 라인에 의해 구분되는 상기 화소 전극과 상기 n-2 번째의 게이트 라인으로 형성되며, 상기 n 번째 게이트 라인에 연결된 상기 스위칭 소자로 구동되는 유지 커패시터를 포함하는 액정 표시 장치.

청구항 2

제1항에서, 상기 스위칭 소자는 박막 트랜지스터인 액정 표시 장치.

청구항 3

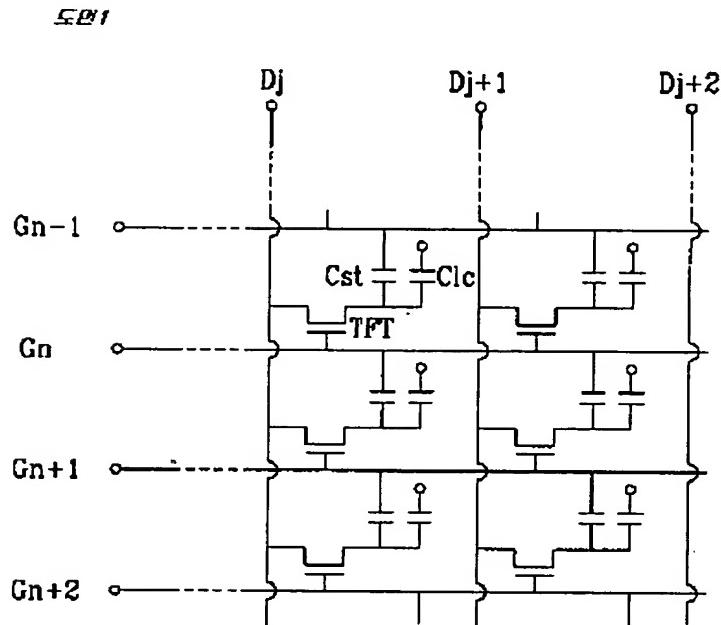
액정 패널의 각 화소에 화상 신호를 충전하는 화소 전극, 상기 화소 전극에 상기 화상 신호를 전달하는 다수의 데이터 라인, 상기 데이터 라인과 교차하고 상기 화상 신호가 상기 화소 전극에 인가되는 것을 제어하는 제어 신호를 전달하는 다수의 게이트 라인, 상기 n 번째 게이트 라인에 연결되고 상기 n+1 번째 및 n+2 번째 게이트 라인과 상기 각각의 데이터 라인에 의해 구분되는 상기 화소 전극을 구동하는 스위칭 소자

자 및 상기 $n+1$ 번째 및 $n+2$ 번째 게이트 라인과 상기 각각의 데이터 라인에 의해 구분되는 상기 화소 전극과 상기 $n+2$ 번째의 게이트 라인으로 형성되며, 상기 n 번째 게이트 라인에 연결된 상기 스위칭 소자로 구동되는 유지 커패시터를 포함하는 액정 표시 장치.

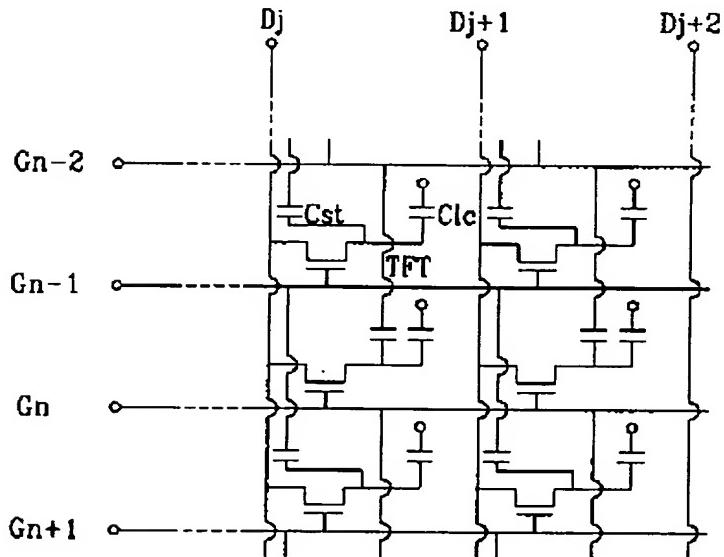
첨구항 4

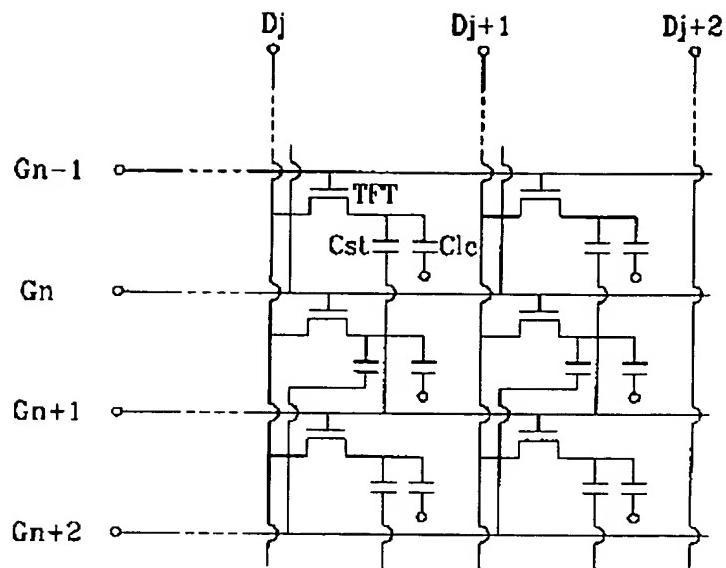
제3항에서, 상기 스위칭 소자는 박막 트랜지스터인 액정 표시 장치.

도면 1



도면 2



~~FIG3~~

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.